

TD2

Exercice 1

1. Dresser la table de vérité d'un multiplexeur 4 vers 1.
2. Faire une description VHDL (entity/architecture) du circuit (mux) de type :
 - 2.1. Flot de données
 - a. Par l'utilisation d'une affectation **simple** (architecture DF1).
 - b. Par l'utilisation d'une affectation sur **condition** (architecture DF2).
 - c. Par l'utilisation d'une affectation par **sélection** (architecture DF3).
 - 2.2. Comportementale
 - a. Utiliser un processus et une instruction **if/elsif/endif** (architecture BEHV).

Exercice 2

1. Ecrire le modèle VHDL d'un circuit combinatoire (circuit) réalisant les fonctions logiques données ci-dessous

1.1. Interface :

Signaux d'entrée : V (type bit_vector de 4 bits), C1 et C2 (type bit)

Signaux de sortie: S1 et S2 (type bit), S (type bit_vector de 4 bits)

1.2. Comportement:

$$S1 = C1 \cdot (V(0) + V(1) + V(2) + V(3))$$

$$S2 = C2 \cdot V(3)$$

$$S = V \text{ si } C1 = '1' \text{ et } C2 = '1'$$

$$\bar{V} \text{ si } C1 = '0' \text{ et } C2 = '0'$$

$$V \cdot "1100" \text{ si } C1 = '1' \text{ et } C2 = '0'$$

$$V + "0100" \text{ si } C1 = '0' \text{ et } C2 = '1'$$

Exercice 3

Soit le circuit 74xx139 (2 décodeurs séparés 2 à 4 lignes) décrit par la table de vérité ci-dessous:

G(STD_LOGIC)	A1(STD_LOGIC)	A0(STD_LOGIC)	Y(STD_LOGIC_VECTOR)			
1	0	0	0	0	0	1
1	0	1	0	0	1	0
1	1	0	0	1	0	0
1	1	1	1	0	0	0

1. Faire une description VHDL (entity/architecture) du circuit (deco) de type :
 - 1.1. Flot de données
 - b. Par l'utilisation d'une affectation simple (architecture DF1).
 - c. Par l'utilisation d'une affectation par sélection (architecture DF2).
 - 1.2. Comportementale
 - a. Utiliser un processus et une instruction if/elsif/ (architecture BEHV), une description qui inclut un temps de retard total de l'entrée à la sortie de 21 ns.
 - 1.3. Structurelle
 - a. Utiliser un inverseur (inv) et une porte AND à 3 entrées (and3). (architecture STRUCT).

Remarque : pour les parties 1.2 et 1.3. pour la description des retards utiliser

Sig<=.....**after** const_value ;

- Concevez un testbench pour tester les trois modèles avec toutes les combinaisons possibles sur les entrées.

Exercice 4

On veut modéliser un circuit permettant de comparer 2 bus de données de 8 bits, A et B, et de générer 3 signaux de sortie :

- EQUA si les données sur les deux bus sont égales,
 - SUPE si la donnée du bus A est supérieure à la donnée du bus B,
 - INFE si la donnée du bus A est inférieure à la donnée du bus B,

A et B sont des entrées du type std_logic_vecteur;

EQUA, SUPE, INFE sont des sorties de type std_logic ;

1. Ecrire en VHDL l'entité/architecture de ce comparateur de 8 bits.